

First Hit

End of Result Set

☐ Generate Collection Print

L3: Entry 1 of 2

File: JPAB

Jul 2, 1999

PUB-NO: JP411176185A
DOCUMENT-IDENTIFIER: JP 11176185 A
TITLE: SEMICONDUCTOR STORAGE AND ITS ACCESS METHOD

PUBN-DATE: July 2, 1999

INVENTOR-INFORMATION:

NAME

COUNTRY

IWASE, TAIRA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA MICROELECTRONICS CORP
TOSHIBA CORP

APPL-NO: JP09335899

APPL-DATE: December 5, 1997

INT-CL (IPC): G11 C 17/18; G11 C 8/04

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a serial-access-type semiconductor storage for reducing the size of a chip and power consumption, and its access method.

SOLUTION: A memory array 20 is divided into a plurality of blocks 20-1 to 20-4, and sense amplifiers 22-1 to 22-4 and shift resistors 23-1 to 23-4 are provided for each block. The data of two cycle are read and transferred to the shift resistor in a first cycle, and next data are read while the data are being read, thus accessing data serially without any restriction of a start address. It is sufficient to provide the number of sense amplifiers being equal to that of blocks, thus greatly reducing the number of the sense amplifiers, the size of a chip, and at the same time power consumption. Also, the layout of the sense amplifiers is not restricted by the pitch of a memory cell, thus facilitation the layout of the sense amplifiers even when the size of the memory cell is reduced.

COPYRIGHT: (C) 1999, JPO

特開平11-176185

(43) 公開日 平成11年(1999) 7月2日

(51) IntCl.⁴G11C 17/18
8/04

識別記号

F I

G11C 17/00
8/04

3 0 6

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平9-335899

(22) 出願日 平成9年(1997) 12月5日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岩瀬 平

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

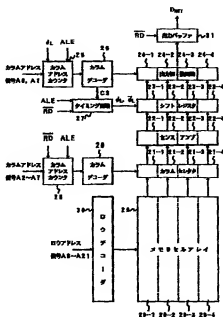
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置及びそのアクセス方法

(57) 【要約】

【課題】 チップサイズの縮小と消費電力の削減が図れるシリアルアクセス型の半導体記憶装置及びそのアクセス方法を提供することを目的としている。

【解決手段】 メモリセルアレイ20を複数のブロック20-1〜20-4に分割し、各ブロック毎にセンスアンプ22-1〜22-4とシフトレジスタ23-1〜23-4を設けている。最初のサイクルに2回分のデータを読み出してシフトレジスタに転送し、それを出力している間に次のデータを読み出すことにより、スタートアドレスの制約なくシリアルにアクセスすることの特徴としている。センスアンプをブロックの数だけ設ければよいので、センスアンプの数を大幅に削減でき、チップサイズを小さくできるとともに消費電力も削減できる。また、センスアンプのレイアウトがメモリセルのビットに制約されることがないので、メモリセルサイズを縮小してもセンスアンプのレイアウトを容易化できる。



【特許請求の範囲】

【請求項1】 メモリセルアレイに記憶されたデータをシリアルに読み出す半導体記憶装置において、

前記メモリセルアレイを複数のブロックに分割し、前記各ブロック中の複数のカラムでセンスアンプを共用し、前記各センスアンプの出力をシフトレジスタに供給し、最初のロウ、カラムアクセスサイクル中にロウ、カラムアクセスを行って、メモリセルからの読み出しデータをブロック毎に前記各シフトレジスタに転送した後、カラムアドレスをインクリメントしてカラムアクセスを行い、この動作を1回または1回以上行うことにより、センスアンプの数の複数倍のデータを読み出し、パイプライン動作させることにより連続してシリアルに出力することを特徴とする半導体記憶装置。

【請求項2】 n (n は2以上の整数) 個のブロックに分割されたメモリセルアレイと、前記各ブロックに対応して設けられた n 個のカラムセクタと、

前記各ブロックに対応して設けられ、前記カラムセクタで選択されたカラムのデータが供給される n 個のセンスアンプと、

前記各ブロックに対応して設けられ、前記各センスアンプの出力がそれぞれ入力される n 個のシフトレジスタと、

前記各ブロックに対応して設けられ、前記各シフトレジスタの出力がそれぞれ供給される n 個の出力切換回路と、

前記出力切換回路の出力が供給される出力バッファと、データの読み出しを開始するブロックを指示するための第1のカラムアドレス信号が初期値としてセットされ、アドレスラッチイネーブル信号に応じてタイミング信号を計数する第1のカラムアドレスカウンタと、

前記第1のカラムアドレスカウンタの計数値をデコードして前記出力切換回路を制御する第1のカラムデコーダと、

アドレスラッチイネーブル信号とリード信号が供給され、前記第1のカラムデコーダによって n 番目のブロックが選択されたときに前記シフトレジスタに転送制御用のタイミング信号を供給するとともに、前記第1のカラムアドレスカウンタに計数用のタイミング信号を供給するタイミング回路と、

第2のカラムアドレス信号が初期値としてセットされ、アドレスラッチイネーブル信号に応じてリード信号を計数する第2のカラムアドレスカウンタと、

前記第2のカラムアドレスカウンタの計数値をデコードして前記カラムセクタを制御する第2のカラムデコーダと、

ロウアドレス信号をデコードして前記メモリセルアレイ中の n 個のブロックに供給するロウデコーダとを具備し、

前記 n 個のブロック中の前記カラムセクタで選択したメモリセルから読み出したデータを前記センスアンプを介して前記シフトレジスタに転送した後、前記第2のカラムアドレスカウンタをインクリメントし、前記第2のカラムデコーダでカラムアクセスを行い、この動作を1回または1回以上行うことにより、 n の複数倍の複数のデータを読み出してパイプライン動作させることによりシリアルアクセスを行うことを特徴とする半導体記憶装置。

【請求項3】 メモリセルアレイに記憶されたデータをシリアルに読み出す半導体記憶装置のアクセス方法において、

最初のロウ、カラムアクセスサイクル中に第1のロウ、カラムアクセスを行うステップと、

前記第1のロウ、カラムアクセスで読み出したデータを増幅してシフトレジスタに転送するステップと、

カラムアドレスをインクリメントするステップと、

前記インクリメントしたカラムアドレスで第2のカラムアクセスを行うことにより、センスアンプの数の複数倍のデータを読み出すステップとを具備し、

前記センスアンプの複数倍の数のデータをパイプライン動作させつつシリアルアクセスを行うことを特徴とする半導体記憶装置のアクセス方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体記憶装置及びそのアクセス方法に関し、特にシリアルアクセスを行うメモリに使用されるものである。

【0002】

【従来の技術】 従来から安価な半導体記憶装置としてシリアルアクセスメモリが製造されている。図10は、この種の半導体記憶装置の一例として、シリアルアクセス型のマスクROMにおけるメモリセルのアクセスに関連する回路を抽出して示す回路図である。図10において、11はメモリセルアレイ、MC、MC、…はメモリセル、12、12、…はセンスアンプ (S/A)、13はロウデコーダ、14はカラムデコーダ、15はカラムアドレスカウンタ、16、16、…はカラム選択トランジスタ、17は出力バッファ、WL、WL、…はワード線、BL、BL、…はビット線である。

【0003】 図11は、上記図10に示したマスクROMの読み出し動作を概略的に示すタイミングチャートである。アドレス入力 A_{in} (ロウアドレス信号 R_{add} 及びカラムアドレス信号 C_{add}) は、アドレスラッチイネーブル信号 ALE のダウンスラッシュに反応してカラムアドレスカウンタ15とロウデコーダ13にそれぞれ供給される。ロウアドレス信号 R_{add} はロウデコーダ13でデコードされ、このデコード出力によってワード線 WL 、 WL 、…が選択的に駆動される。上記ワード線 WL 、 WL 、…にはメモリセル MC 、 MC 、…が行毎に接

3

絞されており、上記ロウデコーダ13によってメモリセルアレイ11中のメモリセルMC、MC、…の行が選択される。各メモリセルMC、MC、…には、MOSTランジスタの有無、MOSTランジスタがデプレッション型かエンハンスメント型か、及びコンタクトホールの有無等を記憶情報の“0”、“1”に対応させ、製造工程の途中でフォトマスクを用いてデータが書き込まれている。

【0004】カラムアドレス信号Caddはカラムアドレスカウンタ15に初期値としてセットされ、このカウンタ15のカウント値がカラムデコーダ14に供給されてデコードされる。ロウデコーダ13によってワード線WLが選択された後、上記カラムアドレスカウンタ15は、リード信号/RD(“/”は反転信号、すなわちバーを意味する)に同期してカウントアップ動作を行う。上記カラムデコーダ14のデコード出力は、カラム選択ランジスタ16、16、…のゲートに供給され、これらランジスタ16、16、…を順次オン/オフ制御する。上記ロウデコーダ13によって駆動されたワード線WLに接続されている1行のメモリセルMC、MC、…の記憶データはそれぞれビット線BL、BL、…上に読み出され、センスアンプ12、12、…に供給されて増幅される。そして、上記カラムデコーダ14によって選択されたカラム選択ランジスタ16を介して出力バッファ17に供給され、読み出しデータDoutとして出力される。この出力バッファ17は、上記リード信号/RDによって出力動作が制御されており、この信号/RDに反応してN番地、N+1番地、N+2番地、…の読み出しデータDoutがシリアルに出力される。

【0005】ところで、上述した従来のシリアルアクセスメモリは、センスアンプ12、12、…がビット線BL、BL、…毎に設けられており、センスアンプの数が多いため、消費電力が多く、チップサイズも大きくなるという問題がある。しかも、マスクROMのメモリセルMCは1個のトランジスタで構成されているのに対し、各センスアンプ12には少なくとも6個のトランジスタが必要であり、メモリセルサイズが小さくなるに伴ってセンスアンプのレイアウトがメモリセルのピッチに制約されてしまい、センスアンプのレイアウトが非常に困難になる。

【0006】

【発明が解決しようとする課題】上記のように従来のシリアルアクセス型の半導体記憶装置は、センスアンプの数が多いため、消費電力が大きく且つチップサイズも大きくなるという問題があった。

【0007】また、メモリセルサイズが小さくなるに伴ってセンスアンプのレイアウトが困難になるという問題があった。この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、センスアンプの数を減減することにより、チップサイズの縮小と消費電

4

力の削減が図れるシリアルアクセス型の半導体記憶装置及びそのアクセス方法を提供することにある。

【0008】また、この発明の他の目的は、センスアンプのレイアウトがメモリセルのピッチによって制約を受けることなく、メモリセルサイズを縮小してセンスアンプのレイアウトを容易化できるシリアルアクセス型の半導体記憶装置及びそのアクセス方法を提供することにある。

【0009】

【課題を解決するための手段】この発明の請求項1に記載した半導体記憶装置は、メモリセルアレイに記憶されたデータをシリアルに読み出す半導体記憶装置において、前記メモリセルアレイを複数のブロックに分割し、前記各ブロック中の複数のカラムでセンスアンプを共用し、前記各センスアンプの出力をシフトレジスタに供給し、最初のロウ、カラムアクセスサイクル中にロウ、カラムアクセスを行って、メモリセルからの読み出しデータをブロック毎に前記各シフトレジスタに転送した後、カラムアドレスをインクリメントしてカラムアクセスを行い、この動作を1回または1回以上行うことにより、センスアンプの数の複数倍のデータを読み出し、パイプライン動作させることにより連続してシリアルに出力することと特徴としている。

【0010】また、この発明の請求項2に記載した半導体記憶装置は、 n (n は2以上の整数)個のブロックに分割されたメモリセルアレイと、前記各ブロックに対応して設けられた n 個のカラムセレクトと、前記各ブロックに対応して設けられ、前記カラムセレクトで選択されたカラムのデータが供給される n 個のセンスアンプと、前記各ブロックに対応して設けられ、前記各センスアンプの出力がそれぞれ入力される n 個のシフトレジスタと、前記各ブロックに対応して設けられ、前記各シフトレジスタの出力がそれぞれ供給される n 個の出力切替回路と、前記出力切替回路の出力が供給される出力バッファと、データの読み出しを開始するブロックを指示するための第1のカラムアドレス信号が初期値としてセットされ、アドレスラッチイーナブル信号に反応してタイミング信号を計数する第1のカラムアドレスカウンタと、前記第1のカラムアドレスカウンタの計数値をデコードして前記出力切替回路を制御する第1のカラムデコーダと、アドレスラッチイーナブル信号とリード信号が供給され、前記第1のカラムデコーダによって n 番目のブロックが選択されたときに前記シフトレジスタに転送制御用のタイミング信号を供給するとともに、前記第1のカラムアドレスカウンタに計数用のタイミング信号を供給するタイミング回路と、第2のカラムアドレス信号が初期値としてセットされ、アドレスラッチイーナブル信号に反応してリード信号を計数する第2のカラムアドレスカウンタと、前記第2のカラムアドレスカウンタの計数値をデコードして前記カラムセレクトを制御する第2の

コラムデコーダと、ロウアドレス信号をデコードして前記メモリセルアレイ中のn個のブロックに供給するロウデコーダとを具備し、前記n個のブロック中の前記コラムセクタで選択したメモリセルから読み出したデータを前記センスアンプを介して前記シフトレジスタに転送した後、前記第2のコラムアドレスカウンタをインクリメントし、前記第2のコラムデコーダでコラムアクセスを行い、この動作を1回または1回以上行うことにより、nの複数個のデータを読み出してバイブライン動作させることによりシリアルアクセスを行うことを特徴としている。

【0011】更に、この発明の請求項3に記載した半導体記憶装置のアクセス方法は、メモリセルアレイに記憶されたデータをシリアルに読み出す半導体記憶装置のアクセス方法において、最初のロウ、コラムアクセスサイクル中に第1のロウ、コラムアクセスを行うステップと、前記第1のロウ、コラムアクセスで読み出したデータを增幅してシフトレジスタに転送するステップと、コラムアドレスをインクリメントするステップと、前記インクリメントしたコラムアドレスで第2のコラムアクセスを行うことにより、センスアンプの数の複数倍のデータを読み出すステップとを具備し、前記センスアンプの複数倍の数のデータをバイブライン動作させつつシリアルアクセスを行うことを特徴としている。

【0012】請求項1のような構成によれば、センスアンプを複数のコラムで共用するのでセンスアンプの数を大幅に削減でき、チップサイズを小さくするとともに消費電力も削減できる。また、センスアンプのレイアウトがメモリセルのピッチに制約されないため、メモリセルサイズを縮小しても容易にレイアウトできる。

【0013】請求項2のような構成によれば、センスアンプはブロックの数と同じn個設ければ良いので、センスアンプの数を大幅に削減でき、チップサイズを小さくして消費電力も削減できる。また、センスアンプのレイアウトがメモリセルのピッチに制約されないため、メモリセルサイズを縮小しても容易にレイアウトできる。

【0014】請求項3のような方法によれば、センスアンプの2倍の数のデータを読み出してバイブライン動作させつつアクセスを行うので、データの読み出し開始アドレスがメモリセルアレイ中のどの位置であっても連続してシリアルにデータを読み出すことができる。

【0015】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の第1の実施の形態に係る半導体記憶装置及びそのアクセス方法について説明するための、シリアルアクセス型のマスクROMの概略構成を示すブロック図である。図1において、20はメモリセルアレイで、このメモリセルアレイは20は4つのブロック20-1~20-4に

分割されている。上記メモリセルアレイ20の各ブロック20-1~20-4にはそれぞれ、コラムセクタ21-1~21-4、センスアンプ22-1~22-4、シフトレジスタ23-1~23-4、及び出力切替回路24-1~24-4が対応して設けられている。シリアルアクセスを開始するブロック20-1~20-4を指示するためのコラムアドレス信号A0、A1、タイミング信号φ₁及びアドレスラッチイネーブル信号ALEはそれぞれ、第1のコラムアドレスカウンタ25に供給され、このカウンタ25の出力は第1のコラムデコーダ26に供給される。上記第1のコラムデコーダ26の出力信号は、上記出力切替回路24-1~24-4に供給される。

【0016】また、上記アドレスラッチイネーブル信号ALE、リード信号/RD及び上記第1のコラムデコーダ26の出力信号C3（ブロック20-4が選択されていることを示す信号）はそれぞれタイミング回路27に供給され、このタイミング回路27から出力されるデータ転送制御用のタイミング信号φ₂、φ₃が上記シフトレジスタ23-1~23-4と上記コラムアドレスカウンタ25に供給される。コラムアドレス信号A2~A7、リード信号/RD及びアドレスラッチイネーブル信号ALEはそれぞれ、第2のコラムアドレスカウンタ28に供給され、このカウンタ28によるカウント値が第2のコラムデコーダ29に供給される。上記第2のコラムデコーダ29によるデコード出力は、コラムセクタ21-1~21-4に供給される。更に、ロウアドレス信号A8~A21はロウデコーダ30に供給され、このロウデコーダ30によるデコード出力が上記メモリセルアレイ20に供給される。そして、上記出力切替回路24-1~24-4の出力信号が出力バッファ31に供給され、リード信号/RDに 대응して読み出しデータD_{OUT}としてシリアルに出力されるようになっている。

【0017】図2は、上記図1に示したシリアルアクセス型のマスクROMにおけるメモリセルのアクセス関係する回路を抽出して詳細に示す回路図である。図2において図1と同構成部には同じ符号を付しており、メモリセルアレイ20中のメモリセルMC、MC、…は行列状に配置されている。各ワード線WL、WL、…にはメモリセルMC、MC、…のゲートが列毎に接続され、ロウデコーダ30から出力されるデコード信号で選択的に駆動される。各ビット線BL、BL、…にはメモリセルMC、MC、…のドレインが列毎に接続されており、これらビット線BL、BL、…の一端にはそれぞれ、コラムセクタ21-1~21-4として働くMOSTランジスタ32、32、…の電流通路の一端が接続される。上記各メモリセルMC、MC、…のソースは接地点に接続される。各メモリセルMC、MC、…には、MOSTランジスタの有無、MOSTランジスタがデプレッション型かエンハンスメント型か、及びコンタクトホー

ルの有無等を記憶情報の“0”、“1”に対応させ、製造工程の途中でフォトマスクを用いてデータが書き込まれている。

【0018】上記MOSTランジスタ32、32、…の電流通路の他端はブロック毎に共通接続され、センスアンプ22-1〜22-4の入力端に接続される。上記出力切替回路24-1〜24-4はそれぞれ、シフトレジスタ23-1〜23-4から出力バッファ31へのデータの転送制御を行うためのMOSTランジスタ33、33、…で構成されており、これらMOSTランジスタ33、33、…のゲートには上記第1のカラムデコーダ26からデコード出力が供給される。

【0019】図3は、上記図1に示したマスクROMにおけるタイミング回路27の構成例を示している。このタイミング回路27は、インバータ40〜52、抵抗53、Pチャネル型MOSTランジスタ54、キャパシタ55〜57、ノアゲート58、及びナンドゲート59、60を含んで構成されている。アドレスラッチイネーブル信号ALEは、インバータ40の入力端に供給される。このインバータ40の出力端には、インバータ41の入力端及びMOSTランジスタ54のゲートが接続される。上記インバータ41の出力端には抵抗53の一端が接続され、この抵抗53の他端にはMOSTランジスタ54のドレイン、キャパシタ55の一方の電極及びインバータ42の入力端がそれぞれ接続される。上記MOSTランジスタ54のソースは電源Vccに接続され、上記キャパシタ55の他方の電極は接地点Vssに接続されている。上記インバータ42の出力端にはインバータ43の入力端が接続され、このインバータ43の出力端にはインバータ44の入力端が接続される。上記インバータ44の出力端には、インバータ45の入力端が接続されるとともに、このインバータ44の出力端と接地点Vss間にキャパシタ56が接続される。上記インバータ45の出力端には、ノアゲート58の一方の入力端及びインバータ46の入力端が接続される。上記インバータ46の出力端には、インバータ47の入力端が接続されるとともに、このインバータ46の出力端と接地点Vss間にキャパシタ57が接続される。上記インバータ47の出力端にはインバータ48の入力端が接続され、このインバータ48の出力端には上記ノアゲート58の他方の入力端が接続される。上記ノアゲート58の出力端にはインバータ49の入力端が接続され、このインバータ49の出力端にはナンドゲート59の一方の入力端が接続される。

【0020】リード信号/RDは、インバータ52の入力端に供給される。このインバータ52の出力端にはナンドゲート60の一方の入力端が接続され、このナンドゲート60の他方の入力端には、第1のカラムデコーダ26の出力信号C3が供給される。上記ナンドゲート60の出力端には、上記ナンドゲート59の他方の入力端

が接続され、このナンドゲート59の出力端にはインバータ50の出力端が接続される。そして、上記インバータ50の出力端からタイミング信号/φ₁が出力される。また、インバータ50の出力端にはインバータ51の入力端が接続され、このインバータ51の出力端からタイミング信号/φ₂が出力される。

【0021】なお、上記図5のタイミング回路27は、回路を簡略化するために、2回目のタイミング信号/φ₂、/φ₁がリード信号/RDに同期して出力される構成を示したが、これらの信号はワンショットパルスでも良い。

【0022】図4は、上記図1及び図2に示した回路におけるシフトレジスタ23-1〜23-4の構成例を示している。このシフトレジスタは、MOSTランジスタ61〜64とインバータ65〜70を含んで構成されている。センスアンプの出力信号は、MOSTランジスタ61の電流通路の一端に供給される。このMOSTランジスタ61の電流通路の他端には、インバータ65の入力端及びMOSTランジスタ62の電流通路の一端が接続され、ゲートにはタイミング信号/φ₁が供給される。上記インバータ65の出力端には、インバータ66、67の入力端が接続される。上記インバータ66の出力端には、MOSTランジスタ62の電流通路の他端が接続され、このMOSTランジスタ62のゲートにはタイミング信号/φ₁が供給される。上記インバータ67の出力端には、MOSTランジスタ63の電流通路の一端が接続され、このMOSTランジスタ63の電流通路の他端には、インバータ68の入力端及びMOSTランジスタ64の電流通路の一端が接続され、ゲートにはタイミング信号/φ₁が供給される。上記インバータ68の出力端には、インバータ69、70の入力端が接続される。上記インバータ69の出力端にはMOSTランジスタ64の電流通路の他端が接続される。このMOSTランジスタ64のゲートには、タイミング信号/φ₁が供給される。そして、上記インバータ70の出力信号が出力バッファ31に供給される。

【0023】上記MOSTランジスタ61、62及びインバータ65、66、67はシフトレジスタの第1ステージSR1を構成し、上記MOSTランジスタ63、64及びインバータ68、69、70はシフトレジスタの第2ステージSR2を構成している。センスアンプの出力信号はタイミング信号/φ₁に同期して第1ステージSR1に転送され、タイミング信号/φ₂に同期してラッチされる。また、このタイミング信号/φ₁に同期して、第1ステージSR1にラッチされているデータが第2ステージSR2に転送され、タイミング信号/φ₂に同期してラッチされるようになっている。

【0024】図5は、上記図1及び図2に示した回路におけるセンスアンプ22-1〜22-4の構成例を示している。このセンスアンプは、Pチャネル型MOSTラ

ンジスタ71、Nチャネル型MOSTランジスタ72、及びインバータ73〜75を含んで構成されている。上記MOSTランジスタ71のソースは電源Vccに接続され、ゲートとドレインが共通接続される。上記MOSTランジスタ72のドレインは上記MOSTランジスタ71のドレインに接続され、ソースはビット線BLに接続される。インバータ73の入力端は上記MOSTランジスタ72のソースに接続され、出力端はこのMOSTランジスタ72のゲートに接続される。上記インバータ74の入力端は、上記MOSTランジスタ71、72のドレイン共通接続点に接続され、出力端はインバータ75の入力端に接続される。そして、上記インバータ75の出力端から出力される増幅信号がシフトレジスタ23-1〜23-4に供給されるようになっている。

【0025】図6は、上記図1及び図2に示した回路における出力バッファ310の構成例を示している。この出力バッファは、MOSTランジスタ76、77、ナンドゲート78及びアブゲート79を含んで構成されている。MOSTランジスタ76、77の電流経路は、電源VccとVss間に直列接続される。ナンドゲート78の一方の入力端には出力切換回路24-1〜24-4の出力信号が供給され、他方の入力端にはリード信号RDが供給され、出力端にはMOSTランジスタ76のゲートが接続される。アブゲート79の一方の入力端には上記出力切換回路24-1〜24-4の出力信号が供給され、他方の入力端にはリード信号/RDが供給され、出力端にはMOSTランジスタ77のゲートが接続される。そして、上記MOSTランジスタ76、77の共通接続点から出力信号Dataが出力される。

【0026】図7(a)、(b)、(c)はそれぞれ、上記図1及び図2に示した回路におけるカラムアドレスカウンタの構成例を示している。(a)図はタイミング信号φ₁をカウントする第1のカラムアドレスカウンタ25のブロック図であり、(b)図はリード信号/RDをカウントする第2のカラムアドレスカウンタ28のブロック図である。また、(c)図は上記(a)図及び(b)図におけるカウンタの1ビットの詳細な構成例を示している。

【0027】(a)図に示す如く、第1のカラムアドレスカウンタ25は、2段のカウント回路80-1、80-2で構成されており、(b)図に示す如く、第2のカラムアドレスカウンタ28は、インバータ81とカウント回路82-1、82-2、…、82-6が縦続接続されて構成されている。

【0028】各カウンタ回路は、(c)図に示すように、インバータ90〜97、Pチャネル型MOSTランジスタ8〜109及びNチャネル型MOSTランジスタ110〜121を含んで構成されている。インバータ90の入力端には、インクリメント信号(前段のカウント回路の出力信号、第1のカラムアドレスカウンタ26

における初段のカウント回路80-1の場合はタイミング信号φ₁、第2のカラムアドレスカウンタ28における初段のカウント回路82-1の場合はリード信号/RDをインバータ81で反転した信号)が供給される。このインバータ90の出力端には、インバータ91の入力端、及びMOSTランジスタ98、111、112、101のゲートが接続される。上記インバータ91の出力端には、MOSTランジスタ110、99、100、113のゲートが接続される。上記MOSTランジスタ110と98、99と111、100と112、113と101はそれぞれ、電流経路が並列接続されてトランスファゲートを構成しており、これらトランスファゲートはインバータ92の出力端と入力端間に縦続接続される。電源Vccと接地点Vss間には、MOSTランジスタ102、103、114、115の電流経路が直列接続される。また、電源Vccと接地点Vss間には、MOSTランジスタ104、105、116、117の電流経路が直列接続される。電源Vccと接地点Vss間には、MOSTランジスタ106、107、118、119の電流経路が直列接続される。更に、電源Vccと接地点Vss間には、MOSTランジスタ108、109、120、121の電流経路が直列接続される。アドレスラッチネーブル信号ALEは、上記MOSTランジスタ102、104、119、121のゲートにそれぞれ供給されるとともに、インバータ96の入力端に供給される。このインバータ96の出力端には、MOSTランジスタ115、117、106、108のゲートが接続される。アドレス信号AiW(カラムアドレスカウンタ25中のカウンタ回路80-1の場合はカラムアドレス信号A0、カウンタ回路80-2の場合はアドレス信号A1、カラムアドレスカウンタ28中のカウンタ回路82-1〜82-6の場合はカラムアドレス信号A2〜A7)は、インバータ97の入力端に供給され、このインバータ97の出力端にはMOSTランジスタ107、118、109、120のゲートがそれぞれ接続される。上記MOSTランジスタ110、98と上記MOSTランジスタ99、111との接続点にはインバータ94の入力端が接続され、このインバータ94の出力端にはMOSTランジスタ103、114のゲートが接続される。また、上記MOSTランジスタ99、111と上記MOSTランジスタ100、112との接続点には、MOSTランジスタ103、114の接続点及びMOSTランジスタ107、118の接続点がそれぞれ接続される。更に、上記MOSTランジスタ100、112と上記MOSTランジスタ113、101との接続点には、インバータ95の入力端が接続され、このインバータ95の入力端にはMOSTランジスタ105、116のゲートが接続される。更にまた、上記インバータ92の入力端には、MOSTランジスタ105、116の接続点及びMOSTランジスタ109、120の接続点

11

がそれぞれ接続される。そして、上記インバータ92の出力端にはインバータ93の入力端が接続され、このインバータ93の出力端から次のカウンタ回路のインクリメント信号（最終段の場合にはカウント値）を出力する。

【0029】上述したこの発明の実施の形態に係るシリアルアクセス型のマスクROMでは、図1及び図2に示すように、メモリセルアレイ20を複数個（この実施の形態では4個）のブロック20-1〜20-4に分割して各ブロック毎にセンスアンプ22-1〜22-4を設けており、まず最初のロウ、カラムアクセス中に4個のデータを読み出してシフトレジスタ23-1〜23-4に取り込み、その後、カラムアドレスカウンタ28をインクリメントし、次の4個のデータを読み出してシフトレジスタ23-1〜23-4に取り込む。そして、シリアルアクセスサイクルが始まると、読み出した4個のデータを出力切替回路24-1〜24-4で切り換えて出力バッファ31に転送し、その間にカラムアドレスカウンタ28をインクリメントし、次の4個のデータを読み出してシフトレジスタ23-1〜23-4に取り込む。このようなバイアス動作を繰り返すことにより、記憶データをシリアルに読み出すことが可能になる。

【0030】ところで、メモリセルアレイ20を4個のブロック20-1〜20-4に分割しているため、読み出し開始アドレス（カラムアドレス信号A0、A1）により、カラムアドレスカウンタ25をインクリメントするタイミングが異なる。時間的に最も余裕があるのが、A1、A0="0"、すなわちブロック20-1中のメモリセルMCから読み出しをスタートする場合である。A1、A0="3"の場合には、ロウ、カラムアクセスの後、カラムアドレスカウンタ28をインクリメントすることにより、8個のデータが読み出される。最初に、ブロック20-4中のデータが読み出されるため、カラムアドレスカウンタ28をインクリメントし、次の4個のデータを4サイクル読む間に読み出す。以後、この繰り返しにより連続してシリアルにデータを読み出すことが可能となる。

【0031】ここで重要なのは、最初のサイクル（ランダムアクセス期間）に8個のデータを読み込む点であり、もし、4個のデータしか読まないとなると、ブロックアドレスA1、A0="0"、すなわちメモリセルブロック20-1から読み出しを開始する場合は問題ないが、A1、A0="3"、すなわちメモリセルブロック20-4から読み出しを開始する場合には、最初のリード信号/RDの"1"レベルから"0"レベルへの反転によりブロック20-4のデータが読まれた時点では、ブロック20-1、20-2、20-3のデータは読まれないため、シリアルアクセスができなくなる。つまり、使用法が制約されることになる。この発明では、最初のサイクルに2回動作させることにより、センス

12

アンプの数を増やすことなくこの問題を解決している。

【0032】なお、センスアンプの数が4個の場合、カラムアクセスが400nsであれば、シリアルサイクル100nsで動作することになり、センスアンプの数が8個の場合にはシリアルサイクル50nsで動作することになる。

【0033】次に、上記のような構成において、図8及び図9のタイミングチャートを参照しつつアクセス動作を詳しく説明する。図8はブロックアドレス"0"からデータの読み出しを開始する場合、図9はブロックアドレス"3"からデータの読み出しを開始する場合をそれぞれ示している。

【0034】まず、ブロックアドレス"0"、すなわちデータの読み出し開始アドレスとしてブロック20-1中のメモリセルMCが選択された場合について説明する。アドレスラッチイネブル信号ALEが"1"レベルから"0"レベルとなると、ロウアドレス信号A8〜A21はロウデコーダ30に、カラムアドレス信号A2〜A7はカラムアドレスバッファ28に、カラムアドレス信号A0、A1はカラムアドレスカウンタ25にそれぞれ供給される。上記ロウデコーダ30によって、ロウアドレス信号A8〜A21がデコードされて選択されたワード線WLが駆動され、このワード線WLに接続されている1行のメモリセルMCが選択される。上記カラムアドレスカウンタ28に初期値としてセットされたカラムアドレス信号A2〜A7は、カラムデコーダ29に供給されてデコードされ、このデコード出力によって、カラムセレクト21-1〜21-4を構成するトランジスタ32が選択的に駆動される。これによって各ブロック20-1〜20-4の対応するビット線BLが選択され、これらのビット線BLと上記選択されたワード線WLとに接続されたN番地のメモリセルMCから読み出されたデータがセンスアンプ22-1〜22-4に供給される。これらのデータはセンスアンプ22-1〜22-4で増幅された後、タイミング回路27から出力されるタイミング信号φ₁、φ₂に反応してシフトレジスタ23-1〜23-4に転送されてラッチされる。

【0035】次に、上記タイミング信号φ₁の立ち下がりに対応してカラムアドレスカウンタ28がカウントアップされ、カラムデコーダ29によって次の列のビット線BLが選択される。そして、これらのビット線BLと上記選択されたワード線WLとに接続されたN+1番地のメモリセルMCから読み出されたデータがセンスアンプ22-1〜22-4に供給されて増幅される。

【0036】その後、カラムアドレス信号A0、A1が初期値としてセットされたカラムアドレスカウンタ25のカウント値がカラムデコーダ26でデコードされ、指定されたブロックアドレス"0"、"1"、"2"、"3"の順、すなわち出力切替回路24-1〜24-4（トランジスタ33、33、…）によって選択されたシ

フトレジスタ23-1~23-4の出力信号が出力バッファ31に順次供給される。そして、この出力バッファ31からリード信号/RDに応答して読み出しデータDout(N・0, N・1, N・2)がシリアルに出力される。

【0037】ブロックアドレス“0”、“1”、“2”の選択後にブロックアドレス“3”が選択されると、カラムデコーダ26からタイミング回路27に信号C3が供給され、タイミング信号φ₁が出力される。このタイミング信号φ₁の立ち上がりに対応して上記センスアン

プ22-1~22-4で増幅されたN+1番地のデータがシフトレジスタ23-1~23-4に供給される。また、タイミング信号φ₁の立ち下がりに対応してカラム

アドレスカウンタ28がカウントアップし、各ブロックの対応する次の列のビット線BLが選択され、これらの

ビット線BLと上記選択されたワード線WLとに接続されたメモリセルMCから読み出されたデータがセンスア

ンプ22-1~22-4に供給されて増幅される。

【0038】以下、同様なアクセス動作が順次繰り返されることにより、メモリセルレイ20中に記憶された

データが出力バッファ31からシリアルに出力される。次に、ブロックアドレス“3”、すなわちデータの読み

出し開始アドレスとしてブロック20-4中のメモリセルMCが選択された場合について説明する。この場合に

も、アドレスラッチイネーブル信号ALEが“1”レベルから“0”レベルとなると、ロウアドレス信号A8~

A21はロウデコーダ30に、カラムアドレス信号A2~A7はカラムアドレスバッファ28に、カラムアドレス

信号A0, A1はカラムアドレスカウンタ25にそれぞれ供給される。上記ロウデコーダ30によって、ロウ

アドレス信号A8~A21がデコードされて選択されたワード線WLが駆動され、このワード線WLに接続された1行のメモリセルMCが選択される。上記カラムアド

レスカウンタ28に初期値としてセットされたカラムアドレス信号A2~A7は、カラムデコーダ29に供給されてデコードされ、このデコード出力によって、カラム

セレクト21-1~21-4を構成するランジスタ32が選択的に駆動される。これによって各ブロックの対応するビット線BLが選択され、これらのビット線BLと

上記選択されたワード線WLとに接続されたメモリセルMCから読み出されたデータがセンスアン

プ22-4に供給されて増幅された後、シフトレジスタ23-1~23-4に供給される。

【0040】ここで、ブロックアドレス“3”が選択されているので、カラムデコーダ26からタイミング回路27に信号C3が供給され、タイミング信号φ₁、φ₂が出力される。このタイミング信号φ₁に対応して各ブロックの対応する次のビット線BLが選択され、これらのビット線BLと上記選択されたワード線WLとに接続されたメモリセルMCから読み出されたデータがセン

スアンプ22-1~22-4に供給されて増幅される。シフトレジスタ23-1~23-4に供給される。

【0041】その後、カラムアドレス信号A0, A1が初期値としてセットされたカラムアドレスカウンタ25のカウンタ値がカラムデコーダ26でデコードされ、指

定されたブロックアドレス“3”、“0”、“1”、“2”の順、すなわち出力切替回路24-4, 24-1~

24-3(ランジスタ33, 33, ...)によって選択されたシフトレジスタ23-4, 23-1~23-3の出力が出力バッファ31に供給される。そして、この

出力バッファ31からリード信号/RDに対応して読み出しデータDout(N・3, N+1・0, N+1・1, N+1・2, N+1・3)が出力される。

【0042】以下、同様なアクセス動作が順次繰り返されることにより、メモリセルレイ20中に記憶されたデータがシリアルに出力される。上述のように、この

発明によれば、センスアンプは、メモリセルレイ20のブロック毎に設けられ、ビット線毎に設ける必要はないので、センスアンプの数を大幅に低減でき、チップ

サイズの縮小と消費電力の削減が図れる。また、センスアンプのレイアウトがメモリセルのピッチによって制約を受けることがなく、メモリセルサイズを縮小しても

センスアンプのレイアウトを容易化できる。なお、上記実施形態ではマスクROMを例にとって説明したが、この考え方はEPROMやRAMでも全く同様に使用できることが勿論である。

【0043】

【発明の効果】以上説明したように、この発明によれば、センスアンプの数を低減することにより、チップサイズの縮小と消費電力の削減が図れるシリアルアクセス型の半導体記憶装置及びそのアクセス方法が得られる。

【0044】また、センスアンプのレイアウトがメモリセルのピッチによって制約を受けることがなく、メモリセルサイズを縮小してもセンスアンプのレイアウトを容易化するシリアルアクセス型の半導体記憶装置及びそのアクセス方法が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係る半導体記憶装置及びそのアクセス方法について説明するためのもので、シリアルアクセス型のマスクROMの概略構成を示すブロック図。

【図2】図1に示したシリアルアクセス型のマスクROMにおけるメモリセルのアクセスに関係する回路を抽出して詳細に示す回路図。

【図3】図1に示したマスクROMにおけるタイミング回路の構成例を示す図。

【図4】図1及び図2に示した回路におけるシフトレジスタの構成例を示す図。

【図5】図1及び図2に示した回路におけるセンスアンプの構成例を示す図。

【図6】図1及び図2に示した回路における出力バッファの構成例を示す図。

【図7】図1及び図2に示した回路におけるカラムアドレスカウンタの構成例を示す図。

【図8】図1ないし図7に示したシリアルアクセスメモリの動作について説明するためのもので、ブロックアドレス“0”からデータの読み出しを開始する場合のタイミングチャート。

【図9】図1ないし図7に示したシリアルアクセスメモリの動作について説明するためのもので、ブロックアドレス“3”からデータの読み出しを開始する場合のタイ

ミングチャート。

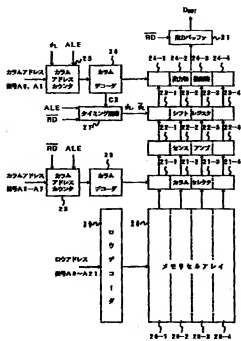
【図10】従来の半導体記憶装置について説明するための、シリアルアクセス型のマスクROMにおけるメモリセルのアクセスに関係する回路を抽出して示す回路図。

【図11】図10に示したマスクROMの読み出し動作を概略的に示すタイミングチャート。

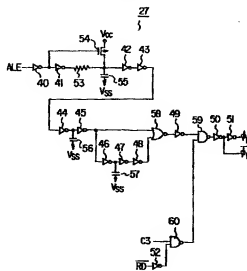
【符号の説明】

20…メモリセルアレイ、20-1～20-4…ブロック、21-1～21-4…カラムセクタ、22-1～22-4…センスアンプ、23-1～23-4…シフトレジスタ、24-1～24-4…出力切換回路、25…カラムアドレスカウンタ、26…カラムデコード、27…タイミング回路、28…カラムアドレスカウンタ、29…カラムデコード、30…ロウデコード、31…出力バッファ、A0、A1、A2～A7…カラムアドレス信号、A8～A21…ロウアドレス信号、φ₁、φ₂…タイミング信号、ALE…アドレスラッチイネーブル信号、/RD…リード信号、Dout…読み出しデータ。

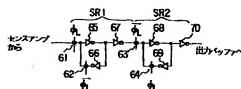
【図1】



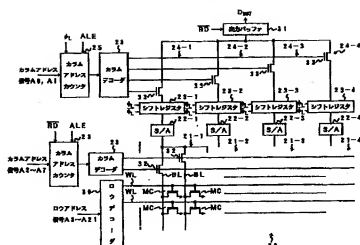
【図3】



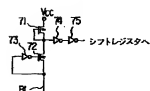
【図4】



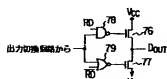
【図2】



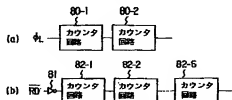
【図5】



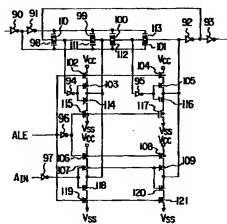
【図6】



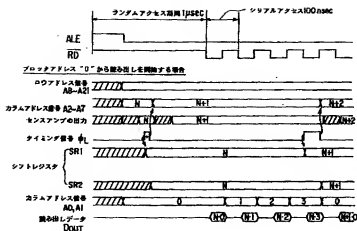
【図7】



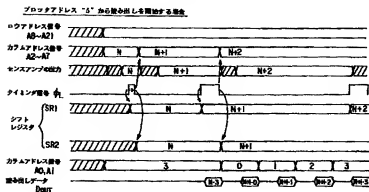
(c)



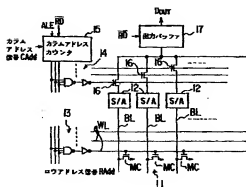
【図8】



【図9】



【図10】



【図11】

